

DIALOG(R)File 345:Inpadoc/Fam.& Legal Stat

(c) 2000 EPO. All rts. reserv.

9763772

Basic Patent (No,Kind,Date): JP 3059543 A2 910314 <No. of Patents: 001>

MANUFACTURE OF COLOR LIQUID CRYSTAL DISPLAY DEVICE (English)

Patent Assignee: HITACHI LTD; HITACHI DEVICE ENG

Author (Inventor): IPPONSUGI MIDORI; ISHII AKIRA; WATANABE  
HISAMITSU; WATANABE YOSHIKI

IPC: \*G02F-001/136; G02B-005/20; G02F-001/1335

JAPIO Reference No: 150214P000104

Language of Document: Japanese

Patent Family:

Patent No	Kind	Date	Applic No	Kind	Date
JP 3059543	A2	910314	JP 89194191	A	890728 (BASIC)

Priority Data (No,Kind,Date):

JP 89194191 A 890728

DIALOG(R)File 347:JAPIO

(c) 2000 JPO & JAPIO. All rts. reserv.

03396643     \*\*Image available\*\*

MANUFACTURE OF COLOR LIQUID CRYSTAL DISPLAY DEVICE

PUB. NO.:     03-059543 [JP 3059543 A]

PUBLISHED:     March 14, 1991 (19910314)

INVENTOR(s):   IPPONSUGI MIDORI

                  ISHII AKIRA

                  WATANABE HISAMITSU

                  WATANABE YOSHIKI

APPLICANT(s): HITACHI LTD [000510] (A Japanese Company or Corporation), JP  
                  (Japan)

                  HITACHI DEVICE ENG CO LTD [486661] (A Japanese Company or  
                  Corporation), JP (Japan)

APPL. NO.:     01-194191 [JP 89194191]

FILED:           July 28, 1989 (19890728)

INTL CLASS:     [5] G02F-001/136; G02B-005/20; G02F-001/1335

JAPIO CLASS:    29.2 (PRECISION INSTRUMENTS -- Optical Equipment)

JAPIO KEYWORD: R011 (LIQUID CRYSTALS); R096 (ELECTRONIC MATERIALS --  
Glass Conductors)

JOURNAL: Section: P, Section No. 1209, Vol. 15, No. 214, Pg. 104, May  
                  31, 1991 (19910531)

**ABSTRACT**

PURPOSE: To easily dye a green color filter to a prescribed color tone by dyeing a dyeing base material by a cyan dye, and thereafter, dyeing the dyeing base material by a yellow dye.

CONSTITUTION: On the upper transparent glass substrate SUB2, a chrome film is provided, and subsequently, a shielding film BM is formed. Next, a dyeing base material is dyed by a red dye, a fixation processing is performed, and a red color filter FIL(R) is formed. Subsequently, the dyeing base material is dyed by a cyan dye, and thereafter, furthermore, the same dyeing base material is dyed by a yellow dye, and by performing a fixation processing, a green color filter FIL(G) is formed. In such a way, by fixing each dyeing condition of the cyan dye and the yellow dye, each dyeing quantity of the cyan dye and the yellow dye to the dyeing base material can be made constant, therefore, the green color filter can be dyed easily to a prescribed color tone.

## ⑫ 公開特許公報(A)

平3-59543

⑬ Int. Cl.<sup>3</sup>

識別記号

庁内整理番号

⑭ 公開 平成3年(1991)3月14日

G 02 F 1/136  
G 02 B 5/20  
G 02 F 1/1335

5 0 0  
1 0 1  
5 0 5

9018-2H  
7448-2H  
8106-2H

審査請求 未請求 請求項の数 1 (全16頁)

⑮ 発明の名称 カラー液晶表示装置の製造方法

⑯ 特 願 平1-194191

⑰ 出 願 平1(1989)7月28日

⑱ 発 明 者 一本杉 みどり 千葉県茂原市早野3681番地 日立デバイスエンジニアリング株式会社内

⑲ 発 明 者 石 井 彰 千葉県茂原市早野3681番地 日立デバイスエンジニアリング株式会社内

⑳ 発 明 者 渡 辺 尚 光 千葉県茂原市早野3300番地 株式会社日立製作所茂原工場内

㉑ 出 願 人 株式会社日立製作所 東京都千代田区神田駿河台4丁目6番地

㉒ 出 願 人 日立デバイスエンジニアリング株式会社 千葉県茂原市早野3681番地

㉓ 代 理 人 弁理士 小川 勝男 外1名

最終頁に続く

## 明 細 書

## 1. 発明の名称

カラー液晶表示装置の製造方法

## 2. 特許請求の範囲

1. 緑色カラーフィルタを有するカラー液晶表示装置を製造する方法において、染色基材をシアニ染料で染色したのち、上記染色基材をイエロー染料で染色することにより、上記緑色カラーフィルタを染色することを特徴とするカラー液晶表示装置の製造方法。

## 3. 発明の詳細な説明

## 〔産業上の利用分野〕

この発明はカラー液晶表示装置の製造方法、特に薄膜トランジスタ等を使用したアクティブ・マトリクス方式のカラー液晶表示装置の製造方法に関する。

## 〔従来の技術〕

アクティブ・マトリクス方式の液晶表示装置は、マトリクス状に配列された複数の画素電極の各々に対応して非線形素子(スイッチング素子)を設

けたものである。各画素における液晶は理論的には常時駆動(デューティ比 1.0)されているので、時分割駆動方式を採用している、いわゆる単現マトリクス方式と比べてアクティブ方式はコントラストが良く特にカラーでは欠かせない技術となりつつある。スイッチング素子として代表的なものとしては薄膜トランジスタ(TFT)がある。

従来のカラー液晶表示装置の製造方法においては、シアニ染料とイエロー染料とを混合した混合染料を用いて、緑色カラーフィルタを染色している。

なお、薄膜トランジスタを使用したアクティブ・マトリクス方式の液晶表示装置は、たとえば「冗長構成を採用した12.5型アクティブ・マトリクス方式カラー液晶ディスプレイ」、日経エレクトロニクス、頁193~210、1986年12月15日、日経マグローヒル社発行、で知られている。

## 〔発明が解決しようとする課題〕

しかし、このようなカラー液晶表示装置の製造方法においては、わずかな染色条件の相違により、

染色基材に対する混合染料の浸透状態などが大きく相違するから、緑色カラーフィルタを一定の色調に染色するのは困難であった。

この発明は上述の課題を解決するためになされたもので、容易に緑色カラーフィルタを一定の色調に染色することができるカラー液晶表示装置の製造方法を提供することを目的とする。

#### 【課題を解決するための手段】

この目的を達成するため、この発明においては、緑色カラーフィルタを有するカラー液晶表示装置を製造する方法において、染色基材をシアン染料で染色したのち、上記染色基材をイエロー染料で染色することにより、上記緑色カラーフィルタを染色する。

#### 【作用】

このカラー液晶表示装置の製造方法においては、シアン染料、イエロー染料の各染色条件を固定にすることで、染色基材へのシアン染料、イエロー染料の各染色量を一定にすることができる。

#### 【実施例】

ITO1および保持容量素子Caddを含む。走査信号線GLは列方向に延在し、行方向に複数本配置されている。映像信号線DLは行方向に延在し、列方向に複数本配置されている。

#### ＜表示部断面全体構造＞

第2B図に示すように、液晶LCを基準に下部透明ガラス基板SUB1側には薄膜トランジスタTFTおよび透明画素電極ITO1が形成され、上部透明ガラス基板SUB2側にはカラーフィルタFIL。透光用ブラックマトリクスパターンを形成する透光膜BMが形成されている。下部透明ガラス基板SUB1はたとえば1.1[μm]程度の厚さで構成されている。

第2B図の中央部は一面素部分の断面を示しているが、左側は透明ガラス基板SUB1、SUB2の左側縁部分で外部引出配線の存在する部分の断面を示しており、右側は透明ガラス基板SUB1、SUB2の右側縁部分で外部引出配線の存在しない部分の断面を示している。

第2B図の左側、右側のそれぞれに示すシール

以下、この発明を適用すべきアクティブ・マトリクス方式のカラー液晶表示装置を説明する。

なお、液晶表示装置を説明するための全図において、同一機能部を有するものは同一符号を付け、その繰り返しの説明は省略する。

第2A図はこの発明が適用されるアクティブ・マトリクス方式カラー液晶表示装置の一画素とその周辺を示す平面図、第2B図は第2A図のII B-II B切断線における断面と表示パネルのシール部付近の断面を示す図、第2C図は第2A図のII C-II C切断線における断面図である。また、第3図(要部平面図)には第2A図に示す画素を複数配置したときの平面図を示す。

#### ＜画素配置＞

第2A図に示すように、各画素は隣接する2本の走査信号線(ゲート信号線または水平信号線)GLと、隣接する2本の映像信号線(ドレイン信号線または垂直信号線)DLとの交差領域内(4本の信号線で囲まれた領域内)に配置されている。各画素は薄膜トランジスタTFT、透明画素電極

材SLは液晶LCを封止するように構成されており、液晶封入口(図示していない)を除く透明ガラス基板SUB1、SUB2の縁周囲全体に沿って形成されている。シール材SLはたとえばエポキシ樹脂で形成されている。

上部透明ガラス基板SUB2側の共通透明画素電極ITO2は、少なくとも一個所において、基板材SILによって下部透明ガラス基板SUB1側に形成された外部引出配線に接続されている。この外部引出配線はゲート電極GT、ソース電極SD1、ドレイン電極SD2のそれぞれと同一製造工程で形成される。

配向膜ORI1、ORI2、透明画素電極ITO1、共通透明画素電極ITO2、保護膜PSV1、PSV2、絶縁膜GIのそれぞれの層は、シール材SLの内側に形成される。偏光板POL1、POL2はそれぞれ下部透明ガラス基板SUB1、上部透明ガラス基板SUB2の外側の表面に形成されている。

液晶LCは液晶分子の向きを設定する下部配向

膜ORI1と上部配向膜ORI2との間に封入され、シール部SLによってシールされている。

下部配向膜ORI1は下部透明ガラス基板SUB1側の保護膜PSV1の上部に形成される。

上部透明ガラス基板SUB2の内側(液晶LC側)の表面には、透光膜BM、カラーフィルタFIL、保護膜PSV2、共通透明画素電極ITO2(COM)および上部配向膜ORI2が順次積層して設けられている。

この液晶表示装置は下部透明ガラス基板SUB1側、上部透明ガラス基板SUB2側のそれぞれの層を別々に形成し、その後上下透明ガラス基板SUB1、SUB2を重ね合わせ、両者間に液晶LCを封入することによって組み立てられる。

#### 〈薄膜トランジスタTFT〉

薄膜トランジスタTFTは、ゲート電極GTに正のバイアスを印加すると、ソース・ドレイン間のチャネル抵抗が小さくなり、バイアスを零にすると、チャネル抵抗は大きくなるように動作する。

各画素の薄膜トランジスタTFTは、画素内に

のみを描いた平面図)に詳細に示すように、走査信号線GLから垂直方向(第2A図および第4図において上方向)に突出する形状で構成されている(T字形状に分岐されている)。ゲート電極GTは薄膜トランジスタTFT1~TFT3のそれぞれの形成領域まで突出するように構成されている。薄膜トランジスタTFT1~TFT3のそれぞれのゲート電極GTは、一体に(共通ゲート電極として)構成されており、走査信号線GLに連続して形成されている。ゲート電極GTは、薄膜トランジスタTFTの形成領域において大きい段差を作らないように、単層の第1導電膜g1で構成する。第1導電膜g1はたとえばスパッタで形成されたクロム(Cr)膜を用い、1000[Å]程度の膜厚で形成する。

このゲート電極GTは第2A図、第2B図および第4図に示されているように、i型半導体層ASを完全に覆うよう(下方からみて)それより大きく目に形成される。したがって、下部透明ガラス基板SUB1の下方に蛍光灯等のバックライトB

において3つ(複数)に分割され、薄膜トランジスタ(分割薄膜トランジスタ)TFT1、TFT2およびTFT3で構成されている。薄膜トランジスタTFT1~TFT3のそれぞれは実質的に同一サイズ(チャンネル長と幅が同じ)で構成されている。この分割された薄膜トランジスタTFT1~TFT3のそれぞれは、主にゲート電極GT、ゲート絶縁膜GI、i型(真性、intrinsic、導電型決定不純物がドーピングされていない)非晶質シリコン(Si)からなるi型半導体層AS、一対のソース電極SD1およびドレイン電極SD2で構成されている。なお、ソース・ドレインは本来その間のバイアス極性によって決まり、この液晶表示装置の回路ではその極性は動作中反転するので、ソース・ドレインは動作中入れ替わると理解されたい。しかし、以下の説明でも、便宜上一方をソース、他方をドレインと固定して表現する。

#### 〈ゲート電極GT〉

ゲート電極GTは第4図(第2A図の第1導電膜g1、第2導電膜g2およびi型半導体層AS

Lを取り付けた場合、この不透明なクロムからなるゲート電極GTが影となって、i型半導体層ASにはバックライト光が当たらず、光照射による導電現象すなわち薄膜トランジスタTFTのオフ特性劣化は起きにくくなる。なお、ゲート電極GTの本来の大きさは、ソース電極SD1とドレイン電極SD2との間をまたがるに最低限必要な(ゲート電極GTとソース電極SD1、ドレイン電極SD2との位置合わせ余裕分も含めて)幅を持ち、チャンネル幅Wを決めるその奥行き長さはソース電極SD1とドレイン電極SD2との間の距離(チャンネル長)Lとの比、すなわち相互コンダクタンスg<sub>m</sub>を決定するファクタW/Lをいくつにするかによって決められる。

この液晶表示装置におけるゲート電極GTの大きさはもちろん、上述した本来の大きさよりも大きくされる。

なお、ゲート電極GTのゲートおよび透光の機能面からだけで考えれば、ゲート電極GTおよび走査信号線GLは単一の層で一体に形成してもよ

く、この場合不透明導電材料としてシリコンを含有させたアルミニウム(A1)、純アルミニウム、パラジウム(Pd)を含有させたアルミニウム等を選ぶことができる。

#### 〈走査信号線GL〉

走査信号線GLは第1導電膜 $\varepsilon$ 1およびその上部に設けられた第2導電膜 $\varepsilon$ 2からなる複合膜で構成されている。この走査信号線GLの第1導電膜 $\varepsilon$ 1はゲート電極GTの第1導電膜 $\varepsilon$ 1と同一製造工程で形成され、かつ一体に構成されている。第2導電膜 $\varepsilon$ 2はたとえばスパッタで形成されたアルミニウム膜を用い、1000～5500[Å]程度の膜厚で形成する。第2導電膜 $\varepsilon$ 2は走査信号線GLの抵抗値を低減し、信号伝達速度の高速化(画素の情報の書込特性向上)を図ることができるように構成されている。

また、走査信号線GLは第1導電膜 $\varepsilon$ 1の幅寸法に比べて第2導電膜 $\varepsilon$ 2の幅寸法を小さく構成している。すなわち、走査信号線GLはその側壁の段差形状がゆるやかになっている。

導体層d0(第2B図)も同様に連続して約400[Å]の厚さに形成される。しかる後、下部透明ガラス基板SUB1はCVD装置から外に取り出され、写真処理技術によりN<sup>+</sup>型半導体層d0およびi型半導体層ASは第2A図、第2B図および第4図に示すように独立した島状にパターニングされる。

i型半導体層ASは、第2A図および第4図に詳細に示すように、走査信号線GLと映像信号線DLとの交差部(クロスオーバー部)の両側間にも設けられている。この交差部のi型半導体層ASは交差部における走査信号線GLと映像信号線DLとの短絡を低減するように構成されている。

#### 〈ソース電極SD1、ドレイン電極SD2〉

複数に分割された薄膜トランジスタTF<sub>1</sub>～TF<sub>3</sub>のそれぞれのソース電極SD1とドレイン電極SD2とは、第2A図、第2B図および第5図(第2A図の第1～第3導電膜d1～d3のみを描いた平面図)で詳細に示すように、i型半導体層AS上にそれぞれ離隔して設けられている。

#### 〈絶縁膜GI〉

絶縁膜GIは薄膜トランジスタTF<sub>1</sub>～TF<sub>3</sub>のそれぞれのゲート絶縁膜として使用される。絶縁膜GIはゲート電極GTおよび走査信号線GLの上層に形成されている。絶縁膜GIはたとえばプラズマCVDで形成された窒化シリコン膜を用い、3000[Å]程度の膜厚で形成する。

#### 〈i型半導体層AS〉

i型半導体層ASは、第4図に示すように、複数に分割された薄膜トランジスタTF<sub>1</sub>～TF<sub>3</sub>のそれぞれのチャネル形成領域として使用される。i型半導体層ASは非晶質シリコン膜または多結晶シリコン膜で形成し、約1800[Å]程度の膜厚で形成する。

このi型半導体層ASは、供給ガスの成分を変えてSi、N<sub>2</sub>からなるゲート絶縁膜として使用される絶縁膜GIの形成に連続して、同じプラズマCVD装置で、しかもそのプラズマCVD装置から外部に露出することなく形成される。また、オーミックコンタクト用のPをドーブしたN<sup>+</sup>型半

ソース電極SD1、ドレイン電極SD2のそれぞれは、N<sup>+</sup>型半導体層d0に接触する下層側から、第1導電膜d1、第2導電膜d2、第3導電膜d3を順次重ね合わせて構成されている。ソース電極SD1の第1導電膜d1、第2導電膜d2および第3導電膜d3は、ドレイン電極SD2の第1導電膜d1、第2導電膜d2および第3導電膜d3と同一製造工程で形成される。

第1導電膜d1はスパッタで形成したクロム膜を用い、500～1000[Å]の膜厚(この液晶表示装置では、600[Å]程度の膜厚)で形成する。クロム膜は膜厚を厚く形成するとストレスが大きくなるので、2000[Å]程度の膜厚を越えない範囲で形成する。クロム膜はN<sup>+</sup>型半導体層d0との接触が良好である。クロム膜は後述する第2導電膜d2のアルミニウムがN<sup>+</sup>型半導体層d0に拡散することを防止するいわゆるバリア層を構成する。第1導電膜d1としては、クロム膜の他に高融点金属(Mo、Ti、Ta、W)膜、高融点金属シリサイド(MoSi<sub>3</sub>、TiSi<sub>3</sub>、TaSi<sub>3</sub>、

WSi<sub>3</sub>)膜で形成してもよい。

第1導電膜d1を写真処理でパターニングした後、同じ写真処理用マスクを用いて、あるいは第1導電膜d1をマスクとして、N<sup>+</sup>型半導体層d0が除去される。つまり、i型半導体層AS上に残っていたN<sup>+</sup>型半導体層d0は第1導電膜d1以外の部分がセルフアラインで除去される。このとき、N<sup>+</sup>型半導体層d0はその厚さ分は全て除去されるようエッチされるので、i型半導体層ASも若干その表面部分でエッチされるが、その程度はエッチ時間で制御すればよい。

しかる後、第2導電膜d2がアルミニウムのスパッタリングで3000~5500[Å]の膜厚(この液晶表示装置では、3500[Å]程度の膜厚)に形成される。アルミニウム膜はクロム膜に比べてストレスが小さく、厚い膜厚に形成することが可能で、ソース電極SD1、ドレイン電極SD2および映像信号線DLの抵抗値を低減するように構成されている。第2導電膜d2としてはアルミニウム膜の他にシリコンや銅(Cu)を添加物として含有さ

せたアルミニウム膜で形成してもよい。

第2導電膜d2の写真処理技術によるパターニング後、第3導電膜d3が形成される。この第3導電膜d3はスパッタリングで形成された透明導電膜(Indium-Tin-Oxide ITO:ネサ膜)からなり、1000~2000[Å]の膜厚(この液晶表示装置では、1200[Å]程度の膜厚)で形成される。この第3導電膜d3はソース電極SD1、ドレイン電極SD2および映像信号線DLを構成するとともに、透明画素電極ITO1を構成するようになっている。

ソース電極SD1の第1導電膜d1、ドレイン電極SD2の第1導電膜d1のそれぞれは、上層の第2導電膜d2および第3導電膜d3に比べて内側に(チャンネル領域内に)大きく入り込んでいる。つまり、これらの部分における第1導電膜d1は第2導電膜d2、第3導電膜d3とは無関係に薄膜トランジスタTFTのゲート長Lを規定できるように構成されている。

ソース電極SD1は透明画素電極ITO1に接

続されている。ソース電極SD1は、i型半導体層ASの段差形状(第1導電膜g1の膜厚、N<sup>+</sup>型半導体層d0の膜厚およびi型半導体層ASの膜厚を加算した膜厚に相当する段差)に沿って構成されている。具体的には、ソース電極SD1は、i型半導体層ASの段差形状に沿って形成された第1導電膜d1と、この第1導電膜d1の上部にそれに比べて透明画素電極ITO1と接続される側を小さいサイズで形成した第2導電膜d2と、この第2導電膜d2から露出する第1導電膜d1に接続された第3導電膜d3とで構成されている。ソース電極SD1の第2導電膜d2は第1導電膜d1のクロム膜がストレスの増大から厚く形成できず、i型半導体層ASの段差形状を乗り越えられないので、このi型半導体層ASを乗り越えるために構成されている。つまり、第2導電膜d2は厚く形成することでステップカバレージを向上している。第2導電膜d2は厚く形成できるので、ソース電極SD1の抵抗値(ドレイン電極SD2や映像信号線DLについても同様)の低減に大き

く寄与している。第3導電膜d3は第2導電膜d2のi型半導体層ASに起因する段差形状を乗り越えることができないので、第2導電膜d2のサイズを小さくすることで、露出する第1導電膜d1に接続するように構成されている。第1導電膜d1と第3導電膜d3とは接合性が良好であるばかりか、両者間の接合部の段差形状が小さいので、ソース電極SD1と透明画素電極ITO1とを確実に接続することができる。

#### <透明画素電極ITO1>

透明画素電極ITO1は各画素毎に設けられており、液晶表示部の画素電極の一方を構成する。透明画素電極ITO1は画素の複数に分割された薄膜トランジスタTFT1~TFT3のそれぞれに対応して3つの分割透明画素電極E1、E2、E3に分割されている。分割透明画素電極E1~E3は各々薄膜トランジスタTFTのソース電極SD1に接続されている。

分割透明画素電極E1~E3のそれぞれは実質的に同一面積となるようにパターニングされてい

る。

このように、1画素の薄膜トランジスタTFTを複数の薄膜トランジスタTFT1～TFT3に分割し、この複数に分割された薄膜トランジスタTFT1～TFT3のそれぞれに分割透明画素電極E1～E3のそれぞれを接続することにより、分割された一部分（たとえば、薄膜トランジスタTFT1）が点欠陥になっても、画素全体でみれば点欠陥でなくなる（薄膜トランジスタTFT2および薄膜トランジスタTFT3が欠陥でない）ので、点欠陥の確率を低減することができ、また欠陥を見にくくすることができる。

また、分割透明画素電極E1～E3のそれぞれを実質的に同一面積で構成することにより、分割透明画素電極E1～E3のそれぞれと共通透明画素電極ITO2とで構成されるそれぞれの液晶容量Cpixを均一にすることができる。

#### ＜保護膜PSV1＞

薄膜トランジスタTFTおよび透明画素電極ITO1上には保護膜PSV1が設けられている。

T3のi型半導体層ASは上下にある透光膜BMおよび大き目のゲート電極GTによってサンドイッチにされ、その部分は外部の自然光やバックライト光が当たらなくなる。透光膜BMは第6図のハッチング部分で示すように、画素の周囲に形成され、つまり透光膜BMは格子状に形成され（ブラックマトリクス）、この格子で1画素の有効表示領域が仕切られている。したがって、各画素の輪郭が透光膜BMによってはっきりとし、コントラストが向上する。つまり、透光膜BMはi型半導体層ASに対する透光とブラックマトリクスとの2つの機能をもつ。

なお、バックライトを上部透明ガラス基板SUB2側に取り付け、下部透明ガラス基板SUB1を観察側（外部露出側）とすることもできる。

#### ＜共通透明画素電極ITO2＞

共通透明画素電極ITO2は、下部透明ガラス基板SUB1側に画素毎に設けられた透明画素電極ITO1に対向し、液晶LCの光学的な状態は各画素電極ITO1と共通透明画素電極ITO2

保護膜PSV1は主に薄膜トランジスタTFTを湿気等から保護するために形成されており、透明性が高くしかも耐湿性の良いものを使用する。保護膜PSV1はたとえばプラズマCVD装置で形成した酸化シリコン膜や窒化シリコン膜で形成されており、8000[Å]程度の膜厚で形成する。

#### ＜透光膜BM＞

上部透明ガラス基板SUB2側には、外部光（第2B図では上方からの光）がチャネル形成領域として使用されるi型半導体層ASに入射されないように、遮蔽膜BMが設けられ、遮蔽膜BMは第6図のハッチングに示すようなパターンとされている。なお、第6図は第2A図におけるITO膜からなる第3導電膜d3、カラーフィルタFILおよび透光膜BMのみを描いた平面図である。透光膜BMは光に対する遮蔽性が高いたとえばアルミニウム膜やクロム膜等で形成されており、この液晶表示装置ではクロム膜がスパッタリングで1300[Å]程度の膜厚に形成される。

したがって、薄膜トランジスタTFT1～TFT

との間の電位差（電界）に依存して変化する。この共通透明画素電極ITO2にはコモン電圧Vcomが印加されるように構成されている。コモン電圧Vcomは映像信号線DLに印加されるロウレベルの駆動電圧Vdminとハイレベルの駆動電圧Vdmaxとの中間電位である。

#### ＜カラーフィルタFIL＞

カラーフィルタFILはアクリル樹脂等の樹脂材料で形成される染色基材に染料を着色して構成されている。カラーフィルタFILは画素に対向する位置に各画素毎にドット状に形成され（第7図）、染め分けられている（第7図は第3図の第3導電膜層d3とカラーフィルタFILのみを描いたもので、R、G、Bの各カラーフィルタFILはそれぞれ、45°、135°、クロスハッチを施してある）。カラーフィルタFILは第6図に示すように透明画素電極ITO1（E1～E3）の全てを覆うように大き目に形成され、透光膜BMはカラーフィルタFILおよび透明画素電極ITO1のエッジ部分と重なるよう透明画素電極I



TO1の周縁部より内側に形成されている。

カラーフィルタFILは次のように形成することができる。まず、上部透明ガラス基板SUB2の表面に染色基材を形成し、フォトリソグラフィ技術で赤色フィルタ形成領域以外の染色基材を除去する。この後、染色基材を赤色染料で染め、固着処理を施し、赤色フィルタRを形成する。つぎに、同様な工程を施すことによって、緑色フィルタG、青色フィルタBを順次形成する。

#### ＜保護膜PSV2＞

保護膜PSV2はカラーフィルタFILを異なる色に染め分けた染料が液品LCに漏れることを防止するために設けられている。保護膜PSV2はたとえばアクリル樹脂、エポキシ樹脂等の透明樹脂材料で形成されている。

#### ＜画素配列＞

液晶表示部の各画素は、第3図および第7図に示すように、走査信号線GLが延在する方向と同一列方向に複数配置され、画素列X1、X2、X3、X4、…のそれぞれを構成している。各画

と、次設の画素列Xは、各画素間隔を1.0とし、前設の画素列Xに対して列方向に0.5画素間隔(0.5ピッチ)ずれている。各画素間を行方向に延在する映像信号線DLは、各画素列X間において、半画素間隔分(0.5ピッチ分)列方向に延在するように構成されている。

その結果、第7図に示すように、前設の画素列Xの所定色フィルタが形成された画素(たとえば、画素列X3の赤色フィルタRが形成された画素)と次設の画素列Xの同一色フィルタが形成された画素(たとえば、画素列X4の赤色フィルタRが形成された画素)とが1.5画素間隔(1.5ピッチ)離隔され、またRGBのカラーフィルタFILは三角形配置となる。カラーフィルタFILのRGBの三角形配置構造は、各色の混色を良くすることができるので、カラー画像の解像度を向上することができる。

また、映像信号線DLは、各画素列X間において、半画素間隔分しか列方向に延在しないので、隣接する映像信号線DLと交差しなくなる。した

画素列X1、X2、X3、X4、…のそれぞれの画素は、導膜トランジスタTFT1～TFT3および分割透明画素電極E1～E3の配置位置を同一に構成している。つまり、奇数画素列X1、X3、…のそれぞれの画素は、導膜トランジスタTFT1～TFT3の配置位置を左側、分割透明画素電極E1～E3の配置位置を右側に構成している。奇数画素列X1、X3、…のそれぞれの行方向の隣りの偶数画素列X2、X4、…のそれぞれの画素は、奇数画素列X1、X3、…のそれぞれの画素を映像信号線DLの延在方向を基準にして横対称でひっくり返した画素で構成されている。すなわち、画素列X2、X4、…のそれぞれの画素は、導膜トランジスタTFT1～TFT3の配置位置を右側、透明画素電極E1～E3の配置位置を左側に構成している。そして、画素列X2、X4、…のそれぞれの画素は、画素列X1、X3、…のそれぞれの画素に対し、列方向に半画素間隔移動させて(ずらして)配置されている。つまり、画素列Xの各画素間隔を1.0(1.0ピッチ)とする

がって、映像信号線DLの引き回しをなくしその占有面積を低減することができ、また映像信号線DLの迂回をなくし、多層配線構造を廃止することができる。

#### ＜表示装置全体等価回路＞

この液晶表示装置の等価回路を第8図に示す。XiG、Xi+1G、…は、緑色フィルタGが形成される画素に接続された映像信号線DLである。XiB、Xi+1B、…は、青色フィルタBが形成される画素に接続された映像信号線DLである。Xi+1R、Xi+2R、…は、赤色フィルタRが形成される画素に接続された映像信号線DLである。これらの映像信号線DLは、映像信号駆動回路で選択される。Yiは第3図および第7図に示す画素列X1を選択する走査信号線GLである。同様に、Yi+1、Yi+2、…のそれぞれは、画素列X2、X3、…のそれぞれを選択する走査信号線GLである。これらの走査信号線GLは垂直走査回路に接続されている。

#### ＜保持容量素子Csddの構造＞

分割透明画素電極E1～E3のそれぞれは、薄膜トランジスタTFTと接続される端部と反対側の端部において、周りの走査信号線GLと重なるよう、L字状に屈折して形成されている。この重ね合わせは、第2C図からも明らかなように、分割透明画素電極E1～E3のそれぞれを一方の電極PL2とし、周りの走査信号線GLを他方の電極PL1とする保持容量素子（静電容量素子）Caddを構成する。この保持容量素子Caddの誘電体膜は、薄膜トランジスタTFTのゲート絶縁膜として使用される絶縁膜GIと同一層で構成されている。

保持容量素子Caddは、第4図からも明らかなように、ゲート線GLの第1導電膜g1の幅を広げた部分に形成されている。なお、映像信号線DLと交差する部分の第1導電膜g1は映像信号線DLとの短絡の確率を小さくするため細くされている。

保持容量素子Caddを構成するために重ね合わされる分割透明画素電極E1～E3のそれぞれと

電位)  $V_{lc}$ に対するゲート電位変化 $\Delta V_g$ の影響を低減するように働く。この様子を式で表すと、次式のようになる。

$$\Delta V_{lc} = (C_{gs} / (C_{gs} + C_{add} + C_{pix})) \times \Delta V_g$$

ここで、 $\Delta V_{lc}$ は $\Delta V_g$ による中点電位の変化分を表わす。この変化分 $\Delta V_{lc}$ は液晶LCに加わる直流成分の原因となるが、保持容量Caddを大きくすればする程、その値を小さくすることができる。また、保持容量素子Caddは放電時間を長くする作用もあり、薄膜トランジスタTFTがオフした後の映像情報を長く蓄積する。液晶LCに印加される直流成分の低減は、液晶LCの寿命を向上し、液晶表示画面の切り替え時に前の画像が残るいわゆる焼き付きを低減することができる。

前述したように、ゲート電極GTはi型半導体層ASを完全に覆うよう大きくされている分、ソース電極SD1、ドレイン電極SD2とのオーバーラップ面積が増え、したがって寄生容量Cgsが大きくなり、中点電位 $V_{lc}$ はゲート（走査）信号 $V_g$ の影響を受け易くなるという逆効果が生じる。

電極PL1との間の一部には、ソース電極SD1と同様に、段差形状を乗り越える際に透明画素電極ITO1が断絶しないように、第1導電膜d1および第2導電膜d2で構成された島領域が設けられている。この島領域は、透明画素電極ITO1の面積（開口率）を低下しないように、できる限り小さく構成する。

#### ＜保持容量素子Caddの等価回路とその動作＞

第2A図に示される画素の等価回路を第9図に示す。第9図において、Cgsは薄膜トランジスタTFTのゲート電極GTとソース電極SD1との間に形成される寄生容量である。寄生容量Cgsの誘電体膜は絶縁膜GIである。Cpixは透明画素電極ITO1（PIX）と共通透明画素電極ITO2（COM）との間に形成される液晶容量である。液晶容量Cpixの誘電体膜は液晶LC、保護膜PSV1および配向膜ORI1、ORI2である。Vlcは中点電位である。

保持容量素子Caddは、薄膜トランジスタTFTがスイッチングするとき、中点電位（画素電極

しかし、保持容量素子Caddを設けることによりこのデメリットも解消することができる。

保持容量素子Caddの保持容量は、画素の寄与特性から、液晶容量Cpixに対して4～8倍（ $4 \cdot C_{pix} < C_{add} < 8 \cdot C_{pix}$ ）、重ね合わせ容量Cgsに対して8～32倍（ $8 \cdot C_{gs} < C_{add} < 32 \cdot C_{gs}$ ）程度の値に設定する。

#### ＜保持容量素子Cadd電極線の結線方法＞

容量電極線としてのみ使用される最終段の走査信号線GL（または初段の走査信号線GL）は、第8図に示すように、共通透明画素電極ITO2（Vcom）に接続する。共通透明画素電極ITO2は、第2B図に示すように、液晶表示装置の周縁部において基板材料SLによって外部引出配線に接続されている。しかも、この外部引出配線の一部の導電層（g1およびg2）は走査信号線GLと同一製造工程で構成されている。この結果、最終段の走査信号線（容量電極線）GLは、共通透明画素電極ITO2に簡単に接続することができる。

または、第8図の点線で示すように、最終段（初段）の走査信号線（容量電極線）GLを初段（最終段）の走査信号線GLに接続してもよい。なお、この接続は液晶表示部内の内部配線あるいは外部引出配線によって行なうことができる。

<保持容量素子Caddの走査信号による直流分相殺>

この液晶表示装置は、先に本願出願人によって出願された特願昭62-95125号に記載される直流相殺方式（DCキャンセル方式）に基づき、第10図（タイムチャート）に示すように、走査信号線GLの駆動電圧を制御することによってさらに液晶LCに加わる直流成分を低減することができる。第10図において、 $V_i$ は任意の走査信号線GLの駆動電圧、 $V_{i+1}$ はその次段の走査信号線GLの駆動電圧である。 $V_{oe}$ は映像信号線DLに印加されるロウレベルの駆動電圧 $V_{dmin}$ 、 $V_{dd}$ は映像信号線DLに印加されるハイレベルの駆動電圧 $V_{dmax}$ である。各時刻 $t = t_1 \sim t_4$ における中点電位 $V_{lc}$ （第9図参照）の電圧変化

分 $\Delta V_1 \sim \Delta V_4$ は、面積の合計の容量 $C = C_{gs} + C_{pix} + C_{add}$ とすると、次式で表される。

$$\Delta V_1 = -(C_{gs}/C) \cdot V_2$$

$$\Delta V_2 = +(C_{gs}/C) \cdot (V_1 + V_2) - (C_{add}/C) \cdot V_2$$

$$\Delta V_3 = -(C_{gs}/C) \cdot V_1 + (C_{add}/C) \cdot (V_1 + V_2)$$

$$\Delta V_4 = -(C_{add}/C) \cdot V_1$$

ここで、走査信号線GLに印加される駆動電圧が充分であれば（下記【注】参照）、液晶LCに加わる直流電圧は、次式で表される。

$\Delta V_1 + \Delta V_2 = (C_{add} \cdot V_2 - C_{gs} \cdot V_1) / C$ したがって、 $C_{add} \cdot V_2 = C_{gs} \cdot V_1$ とすると、液晶LCに加わる直流電圧は0になる。

【注】時刻 $t_1$ 、 $t_2$ で駆動電圧 $V_i$ の変化分が中点電位 $V_{lc}$ に影響を及ぼすが、 $t_2 \sim t_3$ の間に中点電位 $V_{lc}$ は信号線Xiを通じて映像信号電位と同じ電位にされる（映像信号の十分な書き込み）。液晶LCにかかる電位は薄膜トランジスタTFTがオフした直後の電位でほぼ決定される

（薄膜トランジスタTFTのオフ期間がオン期間より圧倒的に長い）。したがって、液晶LCにかかる直流分の計算は、期間 $t_1 \sim t_3$ はほぼ無視でき、薄膜トランジスタTFTがオフ直後の電位、すなわち時刻 $t_3$ 、 $t_4$ における過渡時の影響を考えればよい。なお、映像信号はフレーム毎、あるいはライン毎に極性が反転し、映像信号そのものによる直流分は零とされている。

つまり、直流相殺方式は、寄生容量 $C_{gs}$ による中点電位 $V_{lc}$ の引き込みによる低下分を、保持容量素子 $C_{add}$ および次段の走査信号線（容量電極線）GLに印加される駆動電圧によって押し上げ、液晶LCに加わる直流成分を極めて小さくすることができる。この結果、液晶表示装置は液晶LCの寿命を向上することができる。もちろん、透光効果を上げるためにゲート電極GTを大きくした場合、それに伴って保持容量素子 $C_{add}$ の保持容量を大きくすればよい。

つぎに、第1A図によりこの発明に係るカラー液晶表示装置の製造方法について説明する。まず、

上部透明ガラス基板SUB2に膜厚が1300[Å]のクロム膜をスパッタリングにより設ける。つぎに、エッチング液として硫酸第2セリウムアンモニウム溶液を使用した写真蝕刻技術でクロム膜を選択的にエッチングすることによって、遮光膜BMを形成する。つぎに、遮光膜BM上に染色基材を設け、写真蝕刻技術で赤色フィルタ形成領域以外の染色基材を除去する。つぎに、染色基材を赤色染料で染色し、固着処理を施して、赤色カラーフィルタFIL(R)を形成する。つぎに、染色基材を設け、写真蝕刻技術で緑色フィルタ形成領域以外の染色基材を除去する。つぎに、染色基材をシアン染料で染色したのち、さらに同一の染色基材をイエロー染料で染色し、固着処理を施して、緑色カラーフィルタFIL(G)を形成する。つぎに、染色基材を設け、写真蝕刻技術で青色フィルタ形成領域以外の染色基材を除去する。つぎに、染色基材を青色染料で染色し、固着処理を施して、青色カラーフィルタFIL(B)を形成する。

このカラー液晶表示装置の製造方法においては、

染色基材をシアン染料で染色したのち、さらに同一の染色基材をイエロー染料で染色することにより、緑色カラーフィルタFIL(G)を形成しているから、シアン染料、イエロー染料の各染色条件を固定にすることで、染色基材へのシアン染料、イエロー染料の各染色量を一定にすることができるので、容易に緑色カラーフィルタFIL(G)を一定の色調に染色することができる。

第1B図によりこの発明に係る他のカラー液晶表示装置の製造方法について説明する。まず、上部透明ガラス基板SUB2に遮光膜BMを形成する。つぎに、遮光膜BM上に染色基材を設け、染色基材上にレジストRSTを塗布し、写真蝕刻技術で赤色フィルタ形成領域のレジストRSTを除去したのち、染色基材の露出部分を赤色染料で染色する。つぎに、レジストRSTを除去し、染色基材上にレジストRSTを塗布し、写真蝕刻技術で緑色フィルタ形成領域のレジストRSTを除去したのち、染色基材の露出部分をシアン染料で染色したのち、さらに染色基材の同一部分をイエロ

ー染料で染色する。つぎに、レジストRSTを除去し、染色基材上にレジストRSTを塗布し、写真蝕刻技術で青色フィルタ形成領域のレジストRSTを除去したのち、染色基材の露出部分を青色染料で染色する。つぎに、レジストRSTを除去したのち、固着処理を施して、赤色カラーフィルタFIL(R)、緑色カラーフィルタFIL(G)、青色カラーフィルタFIL(B)を形成する。

以上、本発明者によってなされた発明を、前記実施例に基づき具体的に説明したが、この発明は、前記実施例に限定されるものではなく、その要旨を逸脱しない範囲において種々変更可能であることは勿論である。

たとえば、上述実施例においては、ゲート電極形成→ゲート絶縁膜形成→半導体層形成→ソース・ドレイン電極形成の逆スタガ構造を示したが、上下関係または作る順番がそれと逆のスタガ構造でもこの発明は有効である。

#### 【発明の効果】

以上説明したように、この発明に係る液晶表示

装置の製造方法においては、シアン染料、イエロー染料の各染色条件を固定にすることで、染色基材へのシアン染料、イエロー染料の各染色量を一定にすることができるから、容易に緑色カラーフィルタを一定の色調に染色することができる。このように、この発明の効果は顕著である。

#### 4. 図面の簡単な説明

第1A図、第1B図はそれぞれこの発明に係るカラー液晶表示装置の製造方法の説明図、第2A図はこの発明が適用されるアクティブ・マトリクス方式のカラー液晶表示装置の液晶表示部の一面素を示す要部平面図、第2B図は第2A図のII B-II B切断線で切った部分とシール部周辺部の断面図、第2C図は第2A図のII C-II C切断線における断面図、第3図は第2A図に示す面素を複数配置した液晶表示部の要部平面図、第4図～第6図は第2A図に示す面素の所定の層のみを描いた平面図、第7図は第3図に示す面素電極層とカラーフィルタ層のみを描いた要部平面図、第8図はアクティブ・マトリクス方式のカラー液晶

表示装置の液晶表示部を示す等価回路図、第9図は第2A図に記載される面素の等価回路図、第10図は直流相殺方式による走査信号線の駆動電圧を示すタイムチャートである。

SUB…透明ガラス基板

GL…走査信号線

DL…映像信号線

GI…絶縁膜

GT…ゲート電極

AS…i型半導体層

SD…ソース電極またはドレイン電極

PSV…保護膜

BM…遮光膜

LC…液晶

TFT…薄膜トランジスタ

ITO…透明電極層

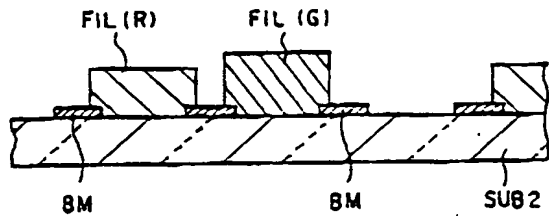
g、d…遮電膜

Cadd…保持容量素子

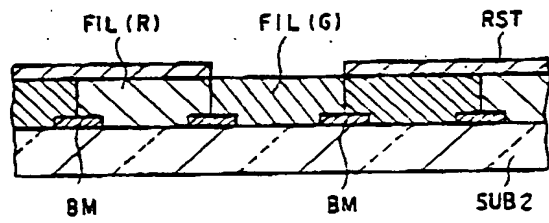
Cgs…寄生容量

Cpix…液晶容量

第1A図

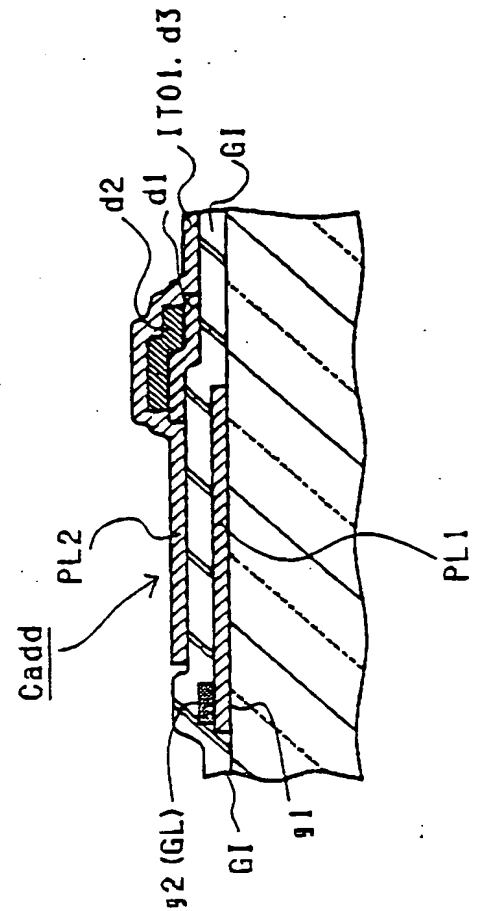


第1B図

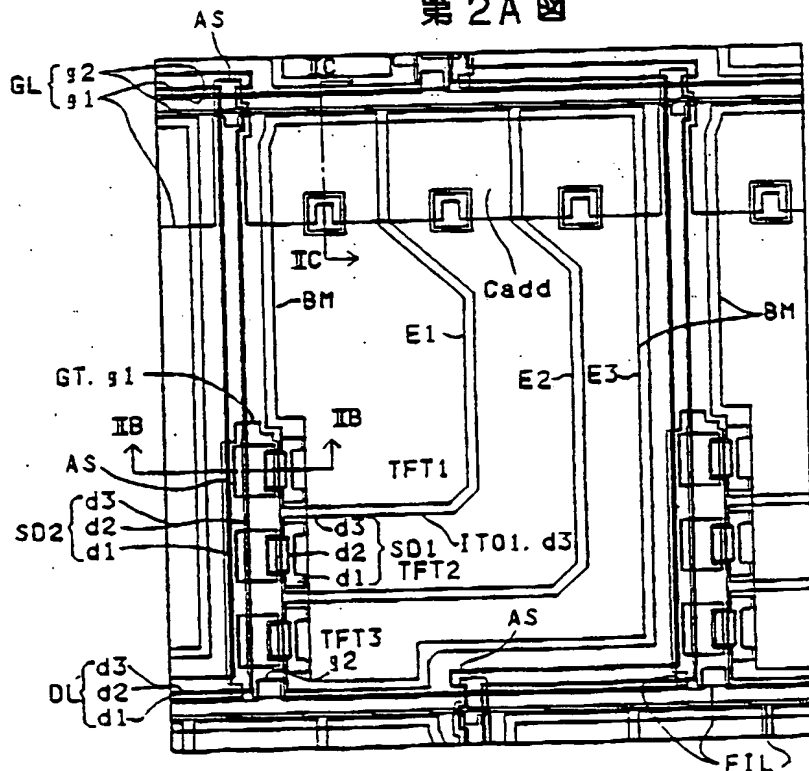


FIL (G)----緑色カラーフィルタ

第2C図

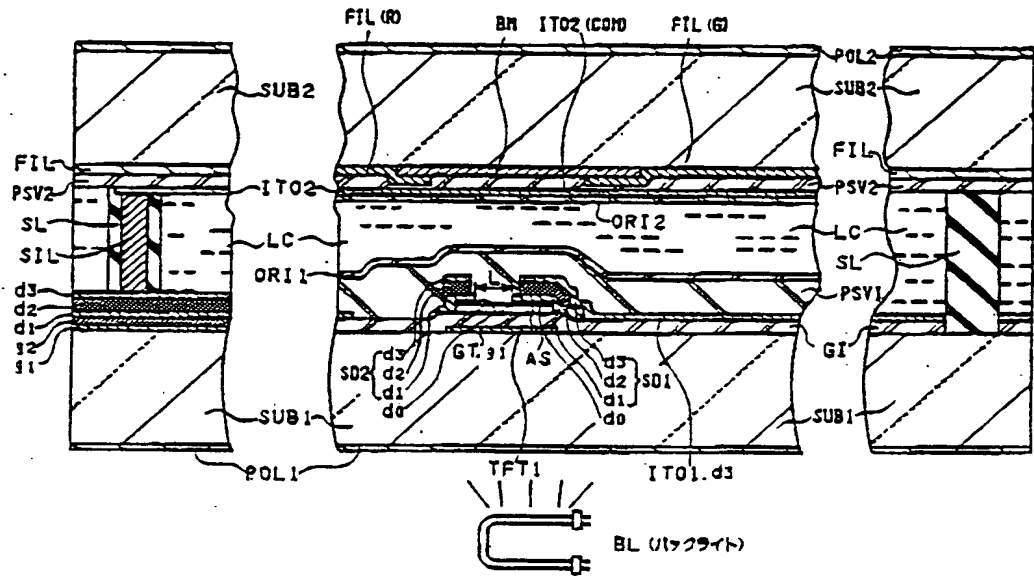


第2A図

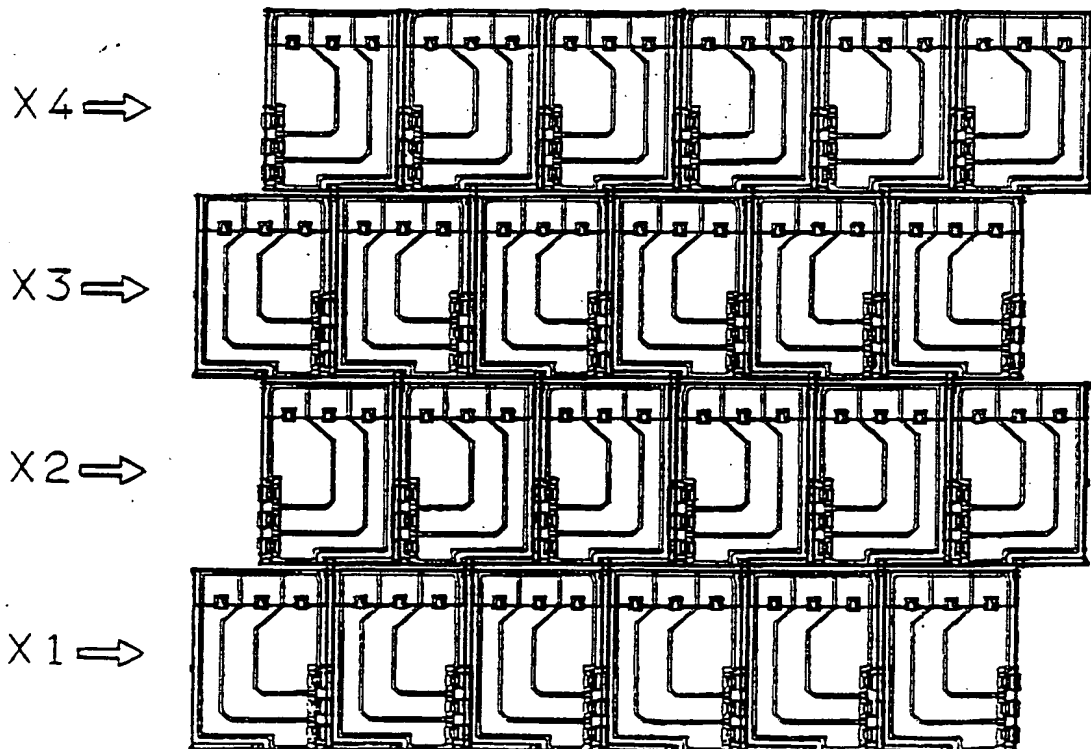


第28図

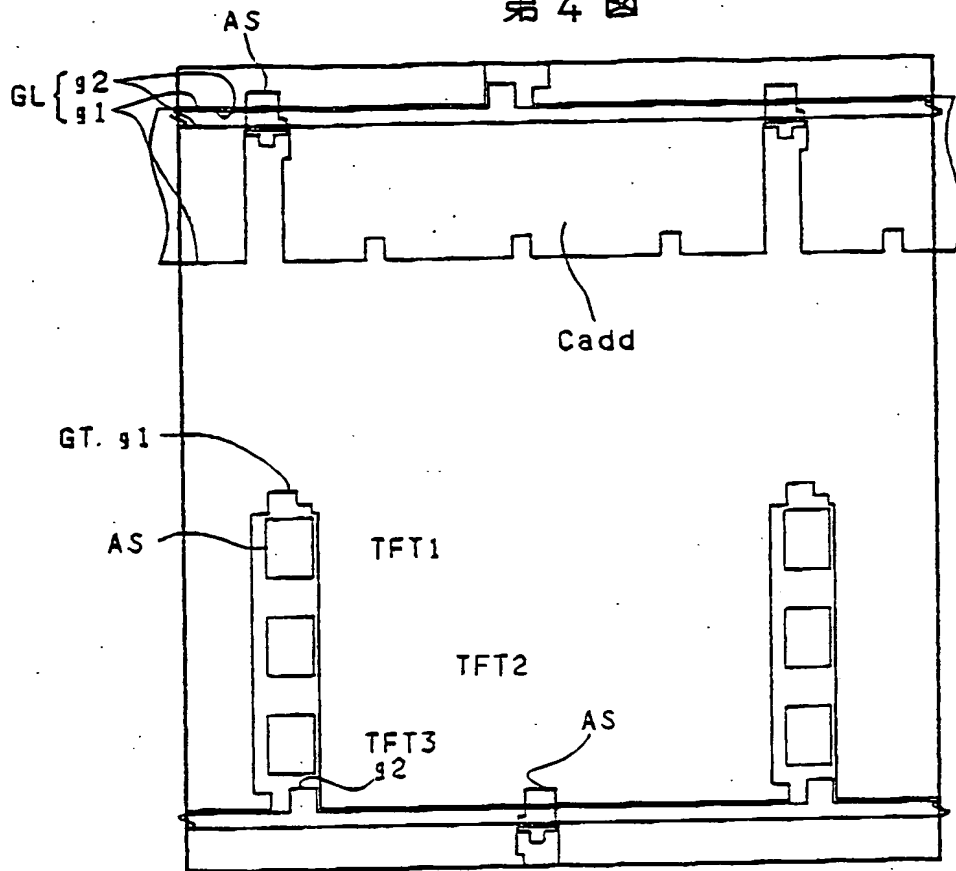
POL1, POL2 - 偏光板  
 SUB2 - 上部ガラス基板  
 FIL - カラーフィルタ  
 PSV2 - カラーフィルタの保護膜  
 IT02 - 共通透明画素電極  
 ORI2 - 上部配向膜  
 LC - 液晶  
 ORI1 - 下部配向膜  
 BM - ブラックマトリクス  
 PSV1 - TFTの保護膜  
 IT01 (画d3) - 透明画素電極  
 SD - ソース・ドレイン電極 (画d1~d3)  
 AS - I型半導体層  
 GI - ゲート絶縁膜  
 GT - ゲート電極 (画1, 2)  
 SUB1 - 下部ガラス基板  
 BL - バックライト



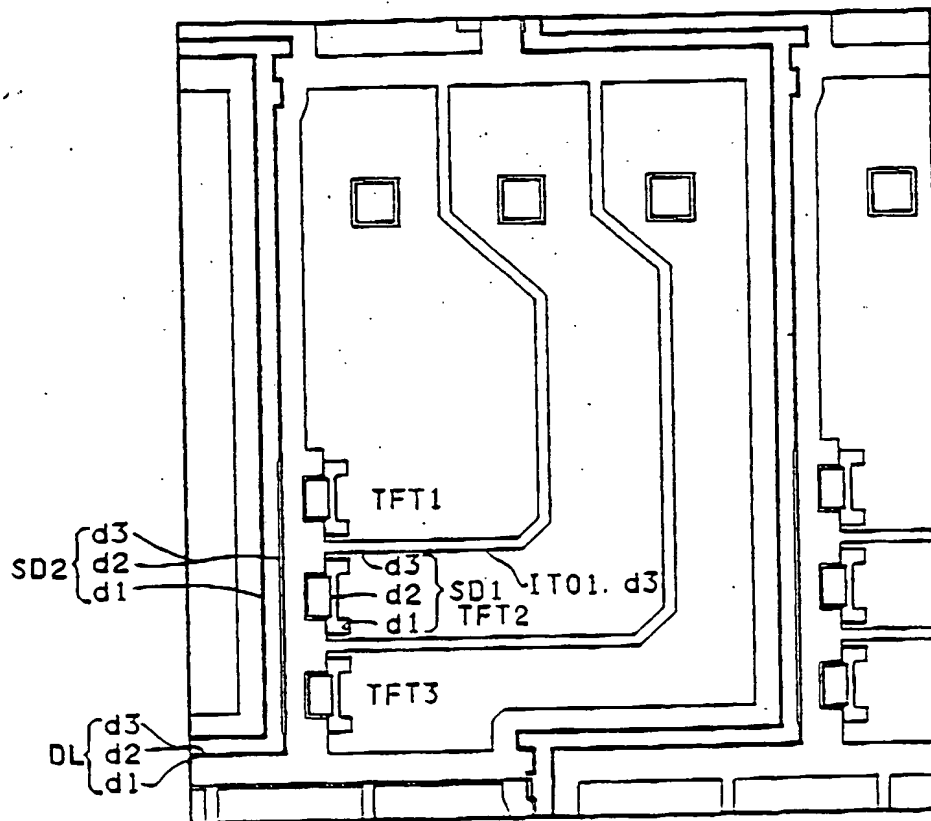
第3図



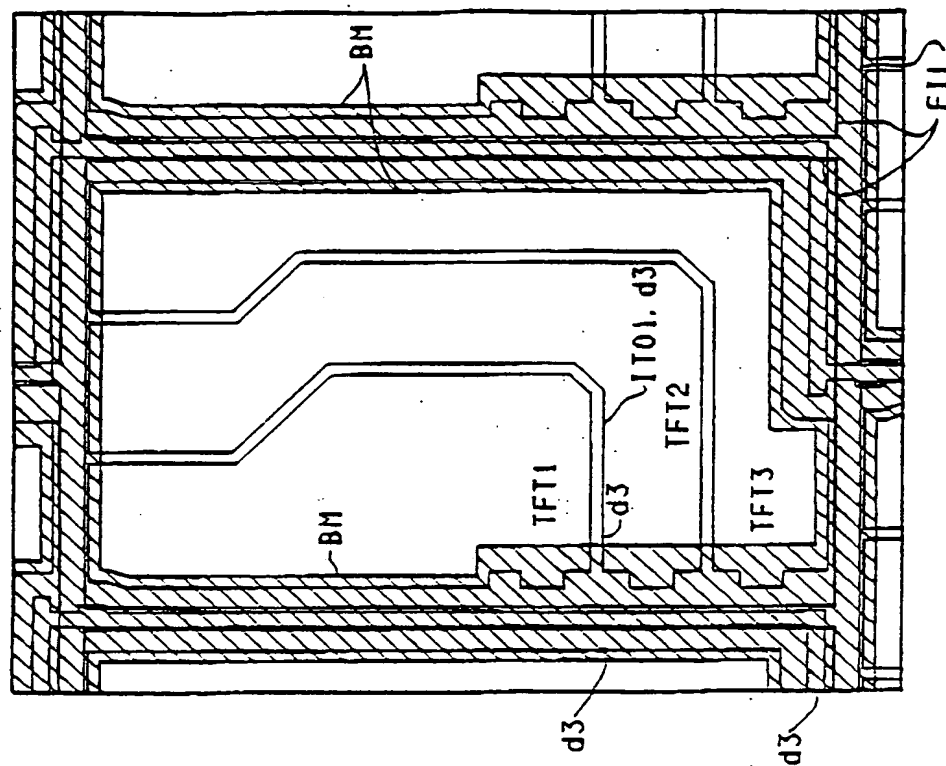
第4図



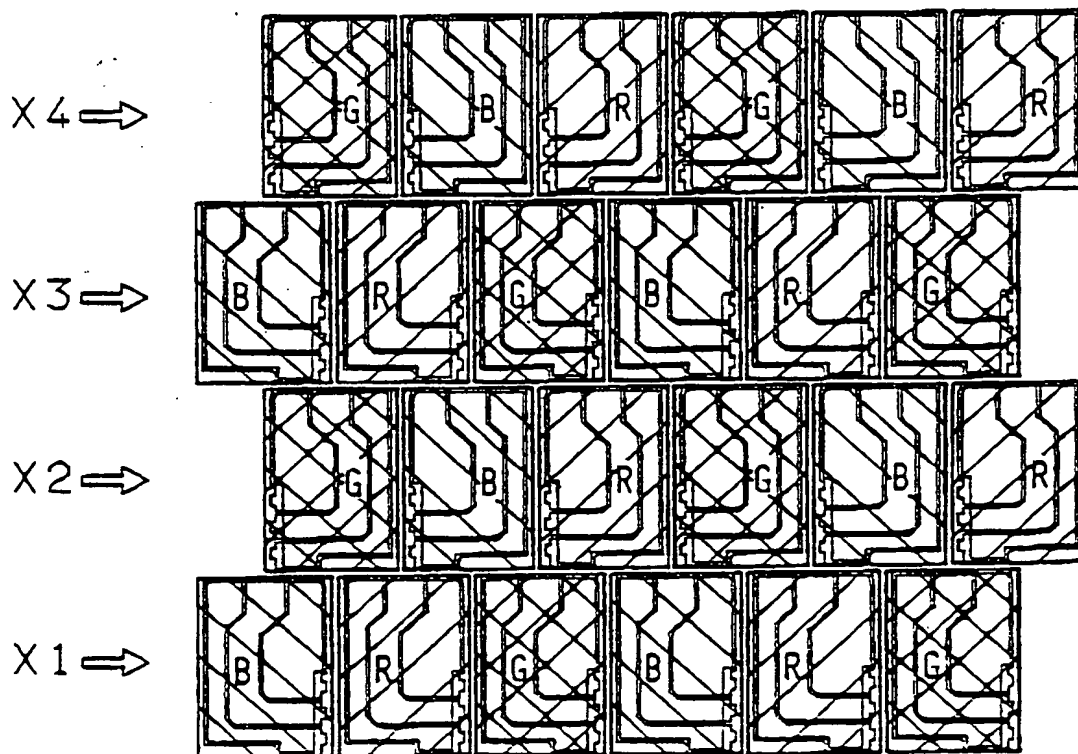
第5図



第6図

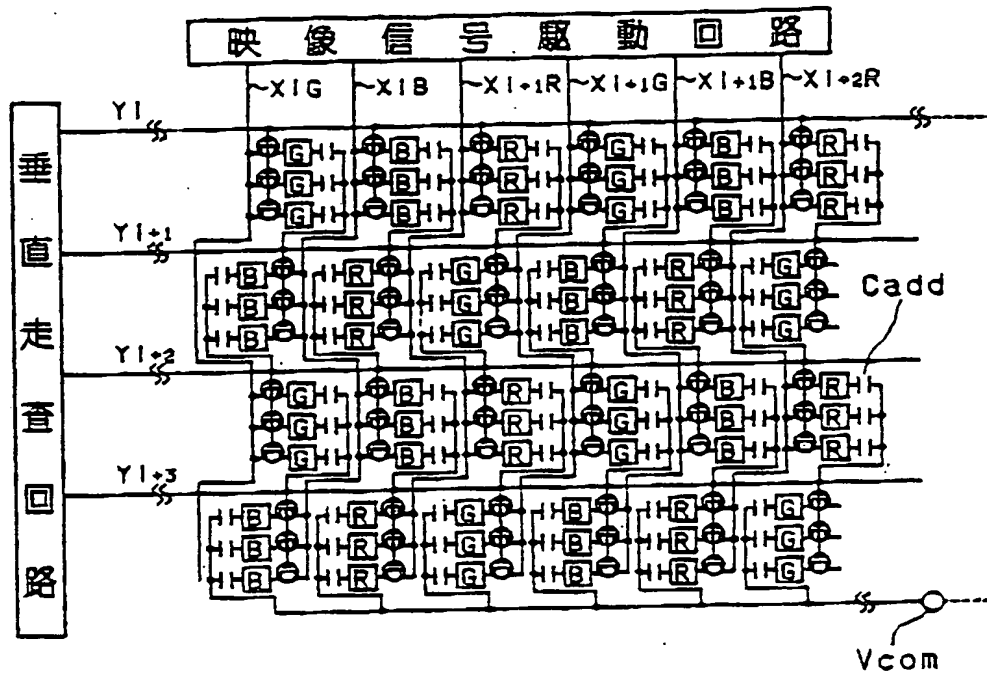


第7図

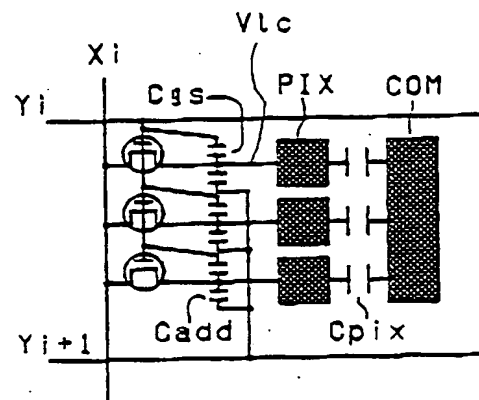




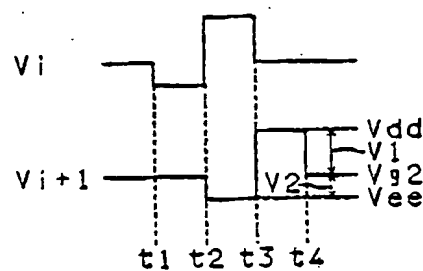
第8図



第9図



第10図



第1頁の続き

④発 明 者 渡 辺 香 樹 千葉県茂原市早野3681番地 日立デバイスエンジニアリン  
グ株式会社内